

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: DONG-GYU KIM, ET AL

FOR: THIN FILM TRANSISTOR ARRAY PANEL AND MANUFACTURING METHOD  
THEREOF

CLAIM FOR PRIORITY

Box Patent Application  
Commissioner for Patents  
P.O. Box 140  
Alexandria, VA 22313-1450

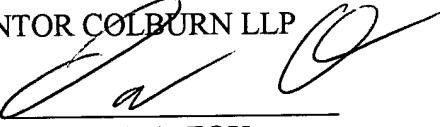
Dear Sir:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0042659 filed on July 19, 2002 and Korean Patent Application No. 2002-0068107 filed on November 5, 2002. These enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claims the benefit of the filing date of July 19, 2002 of Korean Patent Application No. 2002-0042659 and November 5, 2002 of Korean Patent Application No. 2002-0068107, under provisions of 35 U.S.C. 119 and the International Convention for the Protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

DAVID A. FOX  
Registration No. 38,807  
CANTOR COLBURN LLP  
55 Griffin Road South  
Bloomfield, CT 06002  
Telephone: 860-286-2929  
Facsimile: 860-286-0115  
Customer No. 23413

Date: July 15, 2003

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0042659  
Application Number PATENT-2002-0042659

출원년월일 : 2002년 07월 19일  
Date of Application JUL 19, 2002

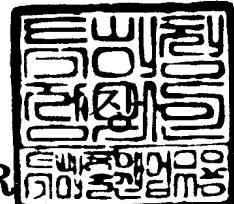
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 06 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.07.19
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	A THIN FILM TRANSISTOR ARRAY PANEL AND A METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근, 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	김동규
【성명의 영문표기】	KIM,DONG GYU
【주민등록번호】	630901-1162114
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 523동 1305호
【국적】	KR
【발명자】	
【성명의 국문표기】	김상수
【성명의 영문표기】	KIM,SANG SOO
【주민등록번호】	560709-1177821
【우편번호】	135-968
【주소】	서울특별시 강남구 대치1동 삼성아파트 107동 202호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 유미특허법 인 (인)

**【수수료】**

【기본출원료】	20	면	29,000 원
【가산출원료】	23	면	23,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】			52,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

먼저, 기판 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막, 반도체층, 저항성 접촉층의 삼층막을 연속하여 적층한 다음, 크롬의 하부막과 알루미늄을 포함하는 상부막을 적층한다. 이어, 사진 식각 공정으로 상부막과 하부막을 패터닝하여 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 반도체 패턴용 감광막 패턴을 형성하고, 이를 식각 마스크로 사용하여 상부막을 제거하여 접촉부가 되는 드레인 전극 일부의 하부막을 드러낸다. 이어, 드러난 도핑된 비정질 규소층과 반도체층을 식각하여 반도체층 패턴을 완성한다. 이어, 데이터 배선으로 가리지 않는 도핑된 비정질 규소층 패턴을 식각하한 다음, 보호 막을 적층하고 패터닝하여, 드레인 전극의 하부막을 각각 드러내는 접촉 구멍을 형성한다. 다음, IZO 또는 ITO막을 적층하고 접촉 구멍을 통하여 드레인 전극의 하부막과 연결되는 화소 전극을 형성한다.

**【대표도】**

도 1

**【색인어】**

알루미늄, IZO, ITO, 접촉저항,

**【명세서】****【발명의 명칭】**

박막 트랜지스터 어레이 기판 및 그 제조 방법{A THIN FILM TRANSISTOR ARRAY PANEL AND A METHOD FOR MANUFACTURING THE SAME}

**【도면의 간단한 설명】**

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판이고,

도 2는 도 1에 도시한 박막 트랜지스터 어레이 기판을 II-II 선을 따라 잘라 도시한 단면도이고,

도 3a, 4a, 5a 및 7a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 어레이 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6은 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판이고,

도 9는 도 8에 도시한 박막 트랜지스터 어레이 기판을 IX-IX 선을 따라 잘라 도시한 단면도이고,

도 10a, 11a, 12a 및 14a는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 어레이 기판의 배치도이고,

도 10b는 도 10a에서 Xb-Xb' 선을 따라 절단한 단면도이고,

도 11b는 도 11a에서 XIb-XIb' 선을 따라 잘라 도시한 도면으로서 도 10b의 다음 단계를 도시한 단면도이고,

도 12b는 도 12a에서 XIIb-XIIb' 선을 따라 잘라 도시한 도면으로서 도 11b의 다음 단계를 도시한 단면도이고,

도 13은 도 12a에서 XIIb-XIIb' 선을 따라 잘라 도시한 도면으로서 도 12b의 다음 단계를 도시한 단면도이고,

도 14b는 도 14a에서 XIVb-XIVb' 선을 따라 잘라 도시한 도면으로서 도 13의 다음 단계를 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17> 본 발명은 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 관한 것으로 더욱 상세하게는, 액정 표시 장치의 한 기판으로 사용하는 박막 트랜지스터 기판 및 그의 제조 방법에 관한 것이다.

<18> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

<19> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

<20> 이러한 액정 표시 장치에서도, 신호 지연을 방지하기 위하여 영상 신호를 전달하는 데이터 배선은 저 저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저 저항 물질을 사용하는 것이 일반적이다. 그러나, 투명한 도전 물질인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 사용하여 화소 전극을 형성하는 경우에 알루미늄 또는 알루미늄 합금의 드레인 전극과 ITO 또는 IZO의 화소 전극이 접촉하는 접촉부에서 알루미늄 또는 알루미늄 합금의 배선이 부식되거나 접촉부의 접촉 저항이 문제점이 발생한다. 또한, 규소로 이루어진 반도체층과 연결되는 데이터 배선을 알루미늄 또는

알루미늄 합금으로 형성하는 경우에는 알루미늄이 반도체층으로 확산되어 배선이 손상되는 문제점이 발생한다. 따라서, 데이터 배선에는 ITO 또는 IZO, 또는 반도체층과 접촉 특성이 우수한 다른 금속을 개재하고, 접촉부에서는 알루미늄 또는 알루미늄 합금을 제거하는 것이 바람직하다.

<21> 하지만, 알루미늄 또는 알루미늄 합금을 제거하기 위해 알루미늄 전면 식각을 실시하는 경우에는 접촉부에서 언더 컷 구조가 형성되어, 이후에 형성되는 다른 막이 접촉부에서 단선되거나 다른 막의 프로파일을 취약하게 유도하여 접촉부의 접촉 저항을 증가시킨다. 이를 방지하기 위해 접촉부에서 언더 컷 구조를 제거하기 위해 사진 식각 공정을 추가하는 방법이 있으나 제조 공정이 복잡하고 제조 비용이 증가하는 문제점이 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 본 발명이 이루고자 하는 기술적 과제는 우수한 접촉 특성을 가지는 접촉부를 포함하는 박막 트랜지스터 어레이 기판을 제공하는 것이다.

<23> 본 발명이 이루고자 하는 다른 기술적 과제는 우수한 접촉 특성을 가지는 접촉부를 포함하는 박막 트랜지스터 어레이 기판의 제조 공정을 단순화하는 것이다.

#### 【발명의 구성 및 작용】

<24> 이러한 문제점을 해결하기 위하여 본 발명에서는 데이터 배선은 다른 물질과 접촉 특성이 좋거나, 알루미늄 또는 알루미늄 합금이 다른 층으로 확산되는 것을 방지할 수 있는 도전 물질의 도전막을 포함하여 형성하며, 데이터 배선이 저저항을 가지는 알루미

늄 또는 알루미늄 합금의 도전막을 포함하는 경우에 제조 공정시에 다른 막을 패터닝하는 사진 식각 공정 중에 접촉부에서 알루미늄 또는 알루미늄 합금의 도전막을 제거한다.

<25> 이때, 하부막은 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 티타늄 또는 탄탈늄 등의 배리어 금속(barrier metal)으로 형성하는 것이 바람직하다.

<26> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 어레이 기판에는, 절연 기판 위에 게이트선 및 게이트선에 연결되어 있는 게이트 배선이 형성되어 있다. 게이트 배선을 덮는 게이트 절연막 상부에는 반도체층 패턴이 형성되어 있으며, 그 상부에는 게이트선과 교차하는 데이터선, 데이터선에 연결되어 있는 소스 전극 및 게이트 전극을 중심으로 소스 전극과 마주하는 드레인 전극을 포함하고, 배리어 금속으로 이루어진 하부막과 드레인 전극에서는 드러난 경계선이 하부막 상부 위에 위치하며 알루미늄 또는 알루미늄 합금으로 이루어진 상부막을 포함하는 데이터 배선이 형성되어 있다. 또한, 반도체층 패턴 위에는 보호막이 형성되어 있으며, 드러난 드레인 전극의 하부막의 상부에서 상부막과 접촉하여 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다.

<27> 반도체층 패턴과 데이터 배선 사이에는 불순물이 도핑되어 있으며, 데이터 배선과 동일한 패턴을 가지는 저항성 접촉층이 더 형성되어 있다.

<28> 이때, 반도체층은 데이터 배선보다 넓은 면적을 가지며, 화소 전극은 ITO 또는 IZO로 이루어진 것이 바람직하다.

<29> 게이트 배선은 외부로부터 주사 신호를 전달받아 게이트선으로 전달하는 게이트 패드를 포함하고, 데이터 배선은 외부로부터 영상 신호를 전달받을 데이터선으로 전달하는 데이터 패드를 포함하며, 보호막은 드러난 드레인 전극의 하부막과

화소 전극을 연결하는 제1 접촉 구멍과 게이트 패드 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에는 게이트 패드 및 데이터 패드와 각각 연결되는 보조 게이트 패드 및 보조 데이터 패드가 형성되어 있을 수 있다.

<30> 이때, 제1 및 제3 접촉 구멍의 둘레에서 보호막은 하부막과 접하고 있는 것이 바람직하다.

<31> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는, 우선 절연 기판의 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 반도체층 패턴을 형성하고, 반도체층 패턴 상부에 데이터선, 소스 전극 및 드레인 전극을 포함하며, 하부막과 하부막 상부의 상부막으로 이루어진 데이터 배선을 형성한다. 이어, 드레인 전극에서 상부막을 제거하고, 드러난 드레인 전극의 하부막과 연결되는 화소 전극을 형성한다. 이때, 상부막 제거하기 위해서는 반도체층 패턴을 패터닝하기 위한 감광막 패턴을 식각마스크로 이용한다.

<32> 이때, 하부막은 배리어 금속으로 형성하고, 상부막은 알루미늄 또는 알루미늄 합금으로 형성하는 것이 바람직하며, 반도체층 패턴과 데이터 배선 사이에 불순물이 도핑되어 있는 저항성 접촉층을 형성하는 것이 바람직하다.

<33> 반도체층 패턴 및 데이터 배선 형성 단계와 상부막 제거 단계는, 게이트 절연막의 상부에 반도체층, 하부막, 상부막을 차례로 적층하고, 상부막과 하부막을 패터닝하고, 상부막 및 반도체층 상부에 감광막 패턴을 형성하고, 감광막 패턴으로 가리지 않는 상부막을 제거하고, 감광막 패턴 및 데이터 배선으로 반도체층을 제거하는 단계를 포함하는 것이 바람직하다.

<34> 이때, 감광막 패턴은 적어도 드레인 전극 일부를 드러내며 소스 전극과 드레인 전극 사이의 채널부를 덮는 것이 바람직하다.

<35> 감광막 패턴을 제거한 다음, 데이터 배선으로 가리지 않는 저항성 접촉층을 제거하는 것이 바람직하다.

<36> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<37> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<38> 이제 본 발명의 실시예에 따른 배선의 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<39> 그러면, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판 및 제조 방법에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<40> 먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

<41> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 어레이 기판을 II-II' 선을 따라 잘라 도시한 단면도이다.

<42> 절연 기판(110) 위에 저저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금의 금속 물질로 이루어진 도전막을 포함하는 게이트 배선 유지 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 유지 배선은 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극선(131) 및 유지 전극선(131)에 연결되어 있는 유지 전극(133)을 포함한다. 유지 전극(133)은 후술할 화소 전극(190)과 연결된 유지 축전기용 도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다. 유지 전극은 게이트선(121)에 돌출부를 두어 사용할 수도 있다. 이때, 게이트 배선(121, 123, 125)과 유지 배선(131, 133)은 테이퍼 구조를 가진다.

<43> 기판(110) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 게이트 배선(121, 125, 123) 및 유지 배선을 덮고 있다.

<44> 게이트 전극(125)의 게이트 절연막(140) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층 패턴(152, 157)이 형성되어 있으며, 반도체층 패턴(152, 157)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(163, 165, 167)이 각각 형성되어 있다.

<45> 저항 접촉층(163, 165, 167) 위에는 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 배리어 금속(barrier metal)으로 이루어진 하부막(701)과 저저항의 알루미늄(Al) 또는 알루미늄 합금(Al alloy)으로 이루어진 상부막(702)을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(121)과 교차하여 화소를 정의하는 데이터선(171), 데이터선(171)의 분지이며 저항 접촉층(163)의 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항 접촉층(165) 상부에 형성되어 있는 드레인 전극(175)을 포함한다. 또한, 데이터 배선은 유지 전극(131)과 중첩되어 있는 유지 축전기용 도전체 패턴(177)도 포함한다. 이때, 유지 축전기용 도전체 패턴(177)은 드레인 전극(175)으로부터 연장되어 드레인 전극(175)에 연결될 수 있다.

<46> 이때, 데이터 배선(171, 173, 175, 177, 179) 중 알루미늄 또는 알루미늄 합금으로 이루어진 상부막(702)은 접촉부, 즉 유지 축전기용 도전체 패턴(177), 드레인 전극(175) 및 데이터 패드(179) 일부에서는 제거되어 있으며, 상부막(702)이 제거된 접촉부에서는 다른 물질과 접촉 특성이 우수하며, 알루미늄 또는 알루미늄 합금이 규소층(150, 157, 163, 165, 167)으로 확산되는 것을 방지하기 위한 배리어 금속으로 이루어진 하부막(701)이 드러나 상부막(702)의 경계선이 하부막(701)의 상부에 위치하고 있어, 데이터 배선(171, 173, 175, 177, 179)은 서로 다른 모양의 패턴을 가지는 하부막(701)과 상부막(702)을 포함한다.

<47> 접촉층 패턴(163, 165, 167)은 그 하부의 반도체층 패턴(152, 157)과 그 상부의 데이터 배선(171, 177, 173, 175, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 177, 173, 175, 179)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(163)은 데이터선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(165)은 드레인 전극(175)과 동일하며, 유지 축전기용 중간층 패턴(167)은 유지 축전기용 도전체 패턴(177)과 동일하다.

<48> 한편, 반도체층 패턴(152, 157)은 게이트 전극(123), 드레인 전극(175) 및 소스 전극(173)이 위치하는 박막 트랜지스터부를 제외하면 데이터 배선(171, 177, 173, 175, 179) 및 저항성 접촉층 패턴(163, 165, 167)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체층 패턴(157)과 유지 축전기용 도전체 패턴(177) 및 유지 축전기용 접촉층 패턴(167)은 동일한 모양이지만, 박막 트랜지스터용 반도체층 패턴(152)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터부에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체층 패턴(152)은 이곳에서 끊어지지 않고 연결되어 있다.

<49> 데이터 배선(171, 173, 177, 175, 179) 및 이들이 가리지 않는 반도체층(152, 157) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 PECVD(plasma enhanced chemical vapor deposition) 방법으로 형성되며 a-Si:C:O 막 또는 a-Si:O:F 막 등을 포함하는 저유전율 절연 물질 또는 무기 물질인 질화 규소로 이루어진 보호막(180)이 형성되어 있다.

<50> 보호막(180)에는 접촉부인 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 데이터 패드(179)의 하부막(701)을 각각 드러내는 접촉 구멍(185, 187, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)이 형성되어 있다. 이때, 접촉부에서는 언더 컷 구조 없이 보호막(180)은 접촉 구멍(185, 187, 189)의 둘레에서 하부막(701)과 접촉되어 하부막(701)을 덮고 있다.

<51> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 IZO 또는 ITO 따위의 투명한 도전 물질로 이루어져 있으며 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(190)은 접촉 구멍(187)을 통하여 유지 축전기용 도전체 패턴(177)과도 연결되어 유지 축전기용 도전체 패턴(177)으로 화상 신호를 전달한다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<52> 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판에서, ITO막 또는 IZO막(190, 92, 97)은 접촉부에서 유지 축전기용 도전체 패턴(177), 드레인 전극(175) 및 데이터 패드(179)의 하부막(701)의 상부에서 하부막(701)에만 접촉되어 있어 접촉부의 접촉 저항을 낮게 확보할 수 있으며, 이를 통하여 표시 장치의 특성을 향상시킬 수 있다.

<53> 여기에서는 화소 전극(190)의 재료의 예로 투명한 IZO 또는 ITO를 들었으나, 투명한 도전성 폴리머(polymer) 등으로 형성할 수도 있으며, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

<54> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 7b를 참고로 하여 상세히 설명한다.

<55> 먼저, 도 3a 및 도 3b에 도시한 바와 같이, 유리 기판(110) 상부에 저저항의 도전 물질인 알루미늄 또는 알루미늄 합금의 단일막 또는 이를 포함하는 다층막을 적층하고, 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선과 유지 전극선(131)과 유지 전극(133)을 포함하는 유지 배선을 테이퍼 구조로 형성한다.

<56> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소로 이루어진 반도체층(150), 도핑된 비정질 규소층(160)의 삼층막을 연속하여 적층한다. 여기서, 게이트 절연막(140)은 질화 규소를 250~400°C 온도 범위, 2,000~5,000Å 정도의 두께로 적층하여 형성하는 것이 바람직하다. 이어, 그 상부에 반도체층(150) 또는 도핑된 비정질 규소층(160)으로 다른 물질이 확산되는 것을 방지하는 동시에 ITO 또는 IZO 등과 같이 다른 물질과 접촉 특성이 우수한 베이어 금속 중 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부막(701)을 500Å 정도의 두께로, 저저항을 가지는 알루미늄 또는 알루미늄 합금 중 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 이용하여 상부막(702)을 150°C 정도에서 2,500Å 정도의 두께로 스퍼터링(sputtering)을 통하여 차례로 적층한다. 이어, 데이터 배선용 마스크를 이용한 사진

식각 공정으로 상부막(702)과 하부막(701)을 패터닝하여 게이트선(121)과 교차하는 데이터선(171), 데이터선(171)과 연결되어 게이트 전극(123) 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179), 소스 전극(179)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175) 및 유지 전극(133) 상부에 위치하는 유지 축전기용 도전체 패턴(177)을 포함하는 데이터 배선을 형성한다. 여기서, 상부막(702) 및 하부막(701)은 모두 습식 식각으로 식각할 수 있으며, 상부막(702)은 습식 식각으로 하부막(701)은 건식 식각으로 식각할 수 있으며, 하부막(701)이 몰리브덴 또는 몰리브덴 합금막인 경우에는 하부막(701)과 상부막(702)을 하나의 식각 조건으로 패터닝할 수 있다.

<57> 이어, 도 5a 및 도 5b에서 보는 바와 같이, 반도체 패턴용 마스크를 이용한 사진 공정으로 노광 및 현상하여 반도체 패턴용 감광막 패턴(210)을 형성한다. 이때, 감광막 패턴(210)은 적어도 데이터 배선의 일부 접촉부가 되는 데이터 패드(179), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 가리지 않도록 형성하며, 이러한 감광막 패턴(210)을 식각 마스크로 이용하여 알루미늄을 포함하는 상부막(702)을 식각하여 접촉부에서 데이터 패드(179), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)의 하부막(701)을 드러낸다. 이어, 데이터 배선(171, 173, 177, 175, 179)과 감광막 패턴(210)을 식각 마스크로 사용하여 드러난 도평된 비정질 규소층(160)과 반도체층(150)을 식각하여 반도체층 패턴(152, 157)을 완성하고 그 상부에 도평된 비정질 규소층(160)을 남긴다. 여기서, 반도체층 패턴(152)은 데이터 배선(171, 173, 175, 177, 179)의 하부와 감광막 패턴(210)으로 가리지 않는 부분에만 남게 되므로 적어도 데이터 배선(171, 173, 175, 177, 179)보다 넓은 면적을 가지게 된다. 이때, 감광막 패턴(210)을 식각 마

스크로 이용하여 접촉부에서 알루미늄을 포함하는 상부막(702)을 제거해야 하기 때문에 감광막 패턴(210)은 적어도 데이터 배선 중 일부분인 데이터 패드(179), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177) 일부는 가리지 않으며, 소스 전극(173)과 드레인 전극(175) 사이의 채널부에서는 반도체층이 식각되는 것을 방지하기 위해 적어도 채널부는 덮어야 한다.

<58> 여기서, 데이터 배선(171, 173, 175, 177, 179)은 이중막으로 형성하였지만, 단일 막으로 형성할 수도 있으며, 감광막 패턴(210)은 데이터선(171)을 완전히 덮도록 형성할 수도 있다.

<59> 이어, 감광막 패턴(210)을 제거하고, 도 6에서 보는 바와 같이 데이터 배선(171, 173, 175, 177, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(152)을 노출시킨다. 이어, 노출된 반도체층 패턴(152)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

<60> 다음으로, 도 7a 및 도 7b에서 보는 바와 같이, 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD 막을 증착하여 보호막(180)을 형성하고, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 전식 식각으로 패터닝하여, 게이트 패드(125)와 드레인 전극(175), 유기 축전기용 도전체 패턴(177) 및 데이터 패드(179)의 하부막(701)을 각각 드러내는 접촉 구멍(182, 185, 187, 189)을 형성한다.

<61> 다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO 또는 ITO막을 스퍼터링으로 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)의 하부막(701)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트 패드(125) 및 데이터 패드(179)의 하부막(701)과 각각 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)를 각각 형성한다. 이 때, 화소 전극(190)은 접촉부인 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)의 하부막(701)을 드러내는 접촉 구멍(185, 187)에서 언더 컷이 발생하지 않아 단선되지 않으며 IZO막 또는 ITO막(190, 97)은 이들과 낮은 접촉 저항을 가지는 하부막(701)과 충분히 접하고 있어 접촉부의 접촉 저항을 최소화할 수 있다. 본 발명의 실시예에서 IZO막(190, 92, 97)을 형성하기 위한 표적(target)은 이데미츠(idemitsu)사의 IDIXO(indium x-metal oxide)라는 상품을 사용하였으며, 표적은  $In_2O_3$  및  $ZnO$ 를 포함하며,  $In+Zn$ 에서  $Zn$ 의 함유량은 15-20 at% 범위인 것이 바람직하다. 또한, 접촉 저항을 최소화하기 위해 IZO막은 250°C 이하의 범위에서 적층하는 것이 바람직하다.

<62> 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 구조는 게이트 배선(121, 125, 123) 및 데이터 배선(171, 173, 175, 177, 179)이 저저항을 가지는 알루미늄 또는 알루미늄 합금의 도전막을 포함하고 있는 동시에 접촉부 특히 데이터 배선과 IZO 또는 ITO의 화소 전극(190)의 접촉 저항을 최소화할 수 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있다. 또한, 제조 공정시 접촉부에서 언더 컷을 제거하기 위해 별도의 사진 식각 공정 없이 반도체 패턴용 감광막 패턴으로 접촉부에 잔류하는 알루미늄 또는 알루미늄 합금의 도전막을 제거함으로써 제조 공정을 단순화하면서 접촉부에서 발생하는 부식을 방지할 수 있어 접촉부의 신뢰도를 확보할 수 있다.

<63> 다음은, 도 8 및 도 9를 참고로 하여 본 발명의 제2 실시예에 따른 액정 표시 장치 용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

<64> 도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판이고, 도 9는 도 8에 도시한 박막 트랜지스터 어레이 기판을 IX-IX' 선을 따라 잘라 도시한 단면도이다.

<65> 도 8 및 도 9에서 보는 바와 같이 대부분의 구조는 제1 실시예의 구조와 동일하다. 이때, 게이트 배선(121, 123, 125)을 이루는 도전막은 20-70 °의 테이퍼 각을 가지는 것 이 바람직하며, 게이트 배선(121, 123, 125)이 다층막으로 이루어진 경우에 중 적어도 하나의 도전막은 이후에 형성되는 다른 막의 프로파일(profile)을 양호하게 형성하기 테 이퍼 구조를 가지는 것이 바람직하다.

<66> 하지만, 제1 실시예와 다르게 독립적으로 유지 용량을 형성하기 위해 유지 배선은 형성되어 있지 않으며, 접촉 구멍(187)을 통하여 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체 패턴(177)은 이웃하는 화소 행에 게이트 신호를 인가하는 게이트선 (121)과 중첩되어 유지 축전기를 이룬다.

<67> 또한, 게이트 절연막(140) 상부에 형성되어 있는 반도체층 패턴(152)은 접촉부를 가지는 데이터 패드(179), 드레인 전극(175) 또는 유지 축전기용 도전체 패턴(177) 일부의 하부에는 이들(179, 177, 175)과 동일한 모양을 가지며, 나머지 부분은 데이터 배선 (171, 175, 173) 밖으로 드러나 있다.

<68> 또한, 저저항의 알루미늄 또는 알루미늄 합금의 상부막(701)은 데이터 배선(171, 173, 175, 179) 전체적으로 형성되어 하부막(701)과 동일한 모양을 가지며, 접촉부를 가

지는 데이터 패드(179), 드레인 전극(175) 또는 유지 축전기용 도전체 패턴(177)의 일부에서만 제거되어 있다.

<69> 또한, 유기 절연 물질 또는 무기 절연 물질 또는 저유전율 CVD막으로 이루어진 보호막(180)의 상부에 형성된 화소 전극(190)의 가장자리 부분은 데이터선(171) 밖으로 뻗은 반도체층(152)과 중첩되어 개구율을 높이고 있다. 물론 제1 실시예와 같이 게이트선(121, 171)과 중첩할 수도 있으며, 중첩되지 않을 수도 있으나, 제2 실시예와 같이 개구율을 확보하기 위해 적어도 반도체층 패턴(152)과 중첩하는 것이 바람직하다.

<70> 이러한 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판에서도, ITO막 또는 IZO막(190, 92, 97)은 접촉부에서 유지 축전기용 도전체 패턴(177), 드레인 전극(175) 및 데이터 패드(179)의 하부막(701)의 상부에서 하부막(701)에만 접촉되어 있어 접촉부의 접촉 저항을 낮게 확보할 수 있으며, 이를 통하여 표시 장치의 특성을 향상시킬 수 있다.

<71> 그러면, 이러한 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도 8 및 도 9와 도 10a 내지 도 14b를 참고로 하여 상세히 설명한다.

<72> 먼저, 도 10a 및 도 10b에 도시한 바와 같이, 제1 실시예와 같이 유리 기판(110) 상부에 저저항의 도전 물질인 알루미늄 또는 알루미늄 합금의 도전막을 포함하는 게이트 배선(121, 123, 125)을 형성한다. 이때, 게이트 배선(121, 123, 125)은 20-70 °의 테이퍼 각을 가지는 것이 바람직하다.

<73> 다음, 도 11a 및 도 11b에 도시한 바와 같이, 제1 실시예와 같이 질화 규소의 게이트 절연막(140), 비정질 규소로 이루어진 반도체층(150), 도핑된 비정질 규소층(160)의 삼층막을 연속하여 적층한다. 이어, 물질이 확산되는 것을 방지하는 동시에 ITO 또는 IZO 등과 같이 다른 물질과 접촉 특성이 우수한 배이어 금속 중 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부막(701)을 알루미늄 합금 중 2 at%의 Nd를 포함하는 Al-Nd 합금의 상부막(702)을 차례로 적층한 다음, 데이터 배선용 마스크를 이용한 사진 식각 공정으로 상부막(702)과 하부막(701)을 패터닝하여 데이터 배선(171, 173, 179, 175, 177)을 형성한다.

<74> 이어, 도 12a 및 도 12b에서 보는 바와 같이, 반도체 패턴용 마스크를 이용한 사진 공정으로 노광 및 현상하여 반도체 패턴용 감광막 패턴(210)을 형성는데, 제1 실시예와 다르게, 접촉부가 되는 데이터 패드(179), 드레인 전극(175) 또는 유지 축전기용 도전체 패턴(177)의 일부를 제외한 데이터 배선(171, 173, 175, 179)의 대부분을 완전히 덮도록 현상한다. 이어, 감광막 패턴으로 가리지 않는 데이터 배선(171, 173, 175, 177, 179)의 상부막(702)을 제거하여 접촉부인 데이터 패드(179), 드레인 전극(175) 또는 유지 축전기용 도전체 패턴(177)의 일부에서 하부막(701)을 드러내고, 감광막 패턴(210)과 데이터 배선(171, 173, 175, 177, 179)을 식각 마스크로 사용하여 드러난 비정질 규소층(150)과 도핑된 비정질 규소층(160)을 식각하여 반도체층 패턴(152, 157)을 완성한다.

<75> 이어, 도 13에서 보는 바와 같이 감광막 패턴(210)을 제거하고, 데이터 배선(171, 173, 175, 177, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(152)을 노출시킨다.

<76> 다음으로, 도 14a 및 도 14b에서 보는 바와 같이, 유기 절연 물질 또는 무기 절연 물질 또는 저유전율 CVD막을 이용하여 보호막(180)을 적층하고 패터닝하여 게이트 패드(125)와 드레인 전극(175), 유기 축전기용 도전체 패턴(177) 및 데이터 패드(179)의 하부막(701)을 각각 드러내는 접촉 구멍(182, 185, 187, 189)을 형성한다.

<77> 다음, 마지막으로 도 8 및 9에 도시한 바와 같이, 제1 실시예와 같이 투명 도전 물질을 적층하고 패터닝하여 투명 도전막 패턴(190, 92, 97)을 형성한다. 이때, 적어도 화소 전극(190)은 가장자리 부분이 데이터선(171) 밖으로 드러난 반도체층 패턴(152)과 중첩되도록 하는 것이 바람직하다.

<78> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 【발명의 효과】

<79> 이와 같이, 본 발명에 따르면 반도체층 패턴용 감광막 패턴을 이용하여 접촉부에서 알루미늄을 제거함으로써 제조 공정을 단순화할 수 있는 동시에 접촉부에서 발생하는 부식을 방지할 수 있어 접촉부의 신뢰도를 확보할 수 있으므로 제조 비용을 최소화할 수 있다. 또한, 저저항의 알루미늄 또는 알루미늄 합금을 포함하는 도전막을 포함하는 배선을 형성함으로써 대화면 고정세의 제품의 특성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층 패턴,

상기 반도체층 패턴 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극 및 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극을 포함하고, 배리어 금속으로 이루어진 하부막과 적어도 상기 드레인 전극 일부에서 상기 하부막에 의해 드러나 경계선이 상기 하부막 위에 위치하며 알루미늄 또는 알루미늄 합금으로 이루어진 상부막을 포함하는 데이터 배선,

상기 반도체층 패턴을 덮고 있는 보호막,

드러난 상기 드레인 전극의 상기 하부막의 상부에서 상기 하부막과 접촉하여 상기 드레인 전극과 연결되어 있는 화소 전극  
을 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 2】**

제1항에서,

상기 하부막은 크롬 또는 몰리브덴 또는 몰리브덴 합금을 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 3】**

제1항에서,

상기 반도체층 패턴과 상기 데이터 배선 사이에 불순물이 도핑되어 있는 저항성 접촉층을 더 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 4】**

제3항에서,

상기 저항성 접촉층은 상기 데이터 배선과 동일한 패턴으로 형성되어 있는 박막 트랜지스터 어레이 기판.

**【청구항 5】**

제1항에서,

상기 반도체층은 상기 데이터 배선보다 넓은 면적을 가지는 박막 트랜지스터 어레이 기판.

**【청구항 6】**

제1항에서,

상기 화소 전극은 ITO 또는 IZO로 이루어진 박막 트랜지스터 어레이 기판.

**【청구항 7】**

제1항에서,

상기 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하고, 상기 데이터 배선은 외부로부터 영상 신호를 전달받을 상기 데이터선으로 전달하는 데이터 패드를 포함하며,

상기 보호막은 드러난 상기 드레인 전극의 상기 하부막과 상기 화소 전극을 연결하는 제1 접촉 구멍과 상기 게이트 패드 및 상기 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에는 상기 게이트 패드 및 상기 데이터 패드와 각각 연결되는 보조 게이트 패드 및 보조 데이터 패드가 형성되어 있는 박막 트랜지스터 어레이 기판.

#### 【청구항 8】

제7항에서,

상기 제1 및 제3 접촉 구멍의 둘레에서 상기 보호막은 상기 하부막과 접하고 있는 박막 트랜지스터 어레이 기판.

#### 【청구항 9】

절연 기판의 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 반도체층 패턴을 형성하는 단계,

상기 반도체층 패턴 상부에 데이터선, 소스 전극 및 드레인 전극을 포함하며, 하부막과 상기 하부막 상부의 상부막으로 이루어진 데이터 배선을 형성하는 단계,

상기 드레인 전극에서 상기 상부막을 제거하는 단계,

드러난 상기 드레인 전극의 상기 하부막과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법에 있어서,

상기 상부막 제거 단계는 상기 반도체층 패턴을 패터닝하기 위한 감광막 패턴을 식각 마스크로 이용하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 10】

제9항에서,

상기 하부막은 배리어 금속으로 형성하고, 상기 상부막은 알루미늄 또는 알루미늄 합금으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 11】

제9항에서,

상기 반도체층 패턴과 상기 데이터 배선 사이에 불순물이 도핑되어 있는 저항성 접촉층을 형성하는 단계를 더 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 12】

제11항에서,

상기 반도체층 패턴 및 상기 데이터 배선 형성 단계와 상기 상부막 제거 단계는, 상기 게이트 절연막의 상부에 반도체층, 상기 하부막, 상기 상부막을 차례로 적층하는 단계,

상기 상부막과 상기 하부막을 패터닝하여 상기 데이터 배선을 형성하는 단계,

상기 상부막 및 상기 반도체층 상부에 상기 감광막 패턴을 형성하는 단계,

상기 감광막 패턴으로 가리지 않는 상기 상부막을 제거하는 단계,

상기 감광막 패턴 및 상기 데이터 배선으로 가지지 않는 상기 반도체층을 제거하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 13】**

제12항에서,

상기 감광막 패턴은 적어도 상기 드레인 전극 일부를 드러내며 상기 소스 전극과  
상기 드레인 전극 사이의 채널부를 덮는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 14】**

제13항에서,

상기 반도체층 제거 단계 이후,

상기 감광막 패턴을 제거하는 단계,

상기 데이터 배선으로 가리지 않는 상기 저항성 접촉층을 제거하는 단계  
를 더 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 15】**

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게  
이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층 패턴,

상기 반도체층 패턴 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선,  
상기 데이터선에 연결되어 있는 소스 전극, 상기 게이트 전극을 중심으로 상기 소스 전  
극과 마주하는 드레인 전극 및 상기 데이터선의 한쪽 끝 부분에 연결되어 있는 데이터  
패드를 포함하는 데이터 배선,

상기 반도체층 패턴을 덮고 있는 보호막,  
드러난 상기 드레인 전극의 상기 하부막의 상부에서 상기 하부막과 접촉하여 상기  
드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 어레이 기판에 있  
어서,

적어도 상기 드레인 전극 또는 상기 데이터 패드의 하부를 제외한 상기 반도체층  
패턴의 일부는 상기 데이터 배선 밖으로 드러나 있는 박막 트랜지스터 어레이 기판.

#### 【청구항 16】

제15항에서,

상기 데이터 배선은 단일막 또는 하부막과 상기 하부막의 상부에 형성되어 있으며  
상기 하부막과 다른 모양을 가지는 상부막을 포함하는 다층막으로 이루어진 박막 트랜지  
스터 어레이 기판.

#### 【청구항 17】

제16항에서,

상기 하부막은 배리어 금속으로 이루어져 있으며, 상기 상부막은 알루미늄 또는 알  
루미늄 합금으로 이루어진 박막 트랜지스터 어레이 기판.

#### 【청구항 18】

제15항에서,

상기 반도체층 패턴은 상기 데이터선 밖으로 드러나 있는 박막 트랜지스터 어레이  
기판.

**【청구항 19】**

제18항에서,

상기 화소 전극의 가장자리 부분은 상기 게이트선 또는 상기 데이터선과 중첩하거나 상기 데이터선 밖으로 드러난 반도체층 패턴과 중첩하는 박막 트랜지스터 어레이 기판.

**【청구항 20】**

제15항에서,

상기 반도체층 패턴과 상기 데이터 배선 사이에 불순물이 도핑되어 있는 저항성 접촉층을 더 포함하며, 상기 저항성 접촉층은 상기 데이터 배선과 동일한 패턴을 가지는 박막 트랜지스터 어레이 기판.

**【청구항 21】**

제15항에서,

상기 게이트 배선은 테이퍼 구조를 가지는 박막 트랜지스터 어레이 기판.

**【청구항 22】**

제15항에서,

상기 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하고,

상기 보호막은 드러난 상기 드레인 전극의 상기 하부막과 상기 화소 전극을 연결하는 제1 접촉 구멍과 상기 게이트 패드 및 상기 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에는 상기 게이트 패드 및 상기 데이터 패드와 각각 연결되는 보조 게이트 패드 및 보조 데이터 패드가 형성되어 있는 박막 트랜지스터 어레이 기판.

**【청구항 23】**

제22항에서,

상기 제1 및 제3 접촉 구멍의 둘레에서 상기 보호막은 상기 하부막과 접하고 있는 박막 트랜지스터 어레이 기판.

**【청구항 24】**

절연 기판의 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 반도체층 패턴을 형성하는 단계,

상기 반도체층 패턴 상부에 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법에 있어서,

상기 반도체층 패턴 형성 단계는 적어도 상기 데이터 배선의 일부를 식각 마스크로 이용하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 25】**

제24항에서,

상기 데이터 배선은 하부막과 상부막으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 26】

제25항에서,

상기 반도체층 패턴을 형성하기 위한 감광막 패턴으로 가리지 않는 상기 상부막을 제거하는 단계를 더 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 27】

제24항에서,

상기 반도체층 패턴 및 상기 데이터 배선 형성 단계는,

상기 게이트 절연막의 상부에 반도체층, 상기 하부막, 상기 상부막을 차례로 적층하는 단계,

상기 상부막과 상기 하부막을 패터닝하여 상기 데이터 배선을 형성하는 단계,

상기 상부막 및 상기 반도체층 상부에 상기 감광막 패턴을 형성하는 단계,

상기 감광막 패턴으로 가리지 않는 상기 상부막을 제거하는 단계,

상기 감광막 패턴 및 상기 데이터 배선으로 가지지 않는 상기 반도체층을 제거하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

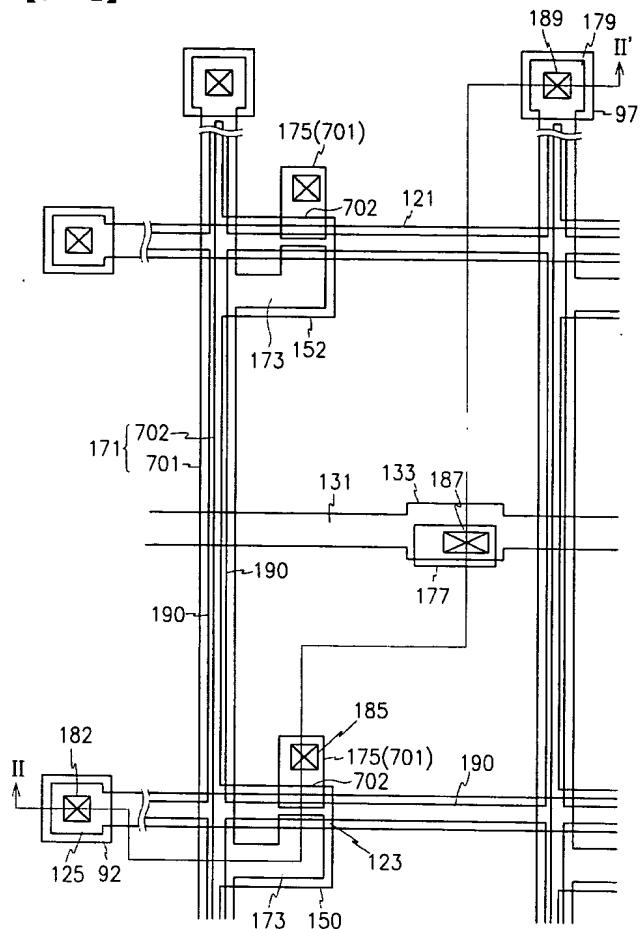
【청구항 28】

제27항에서,

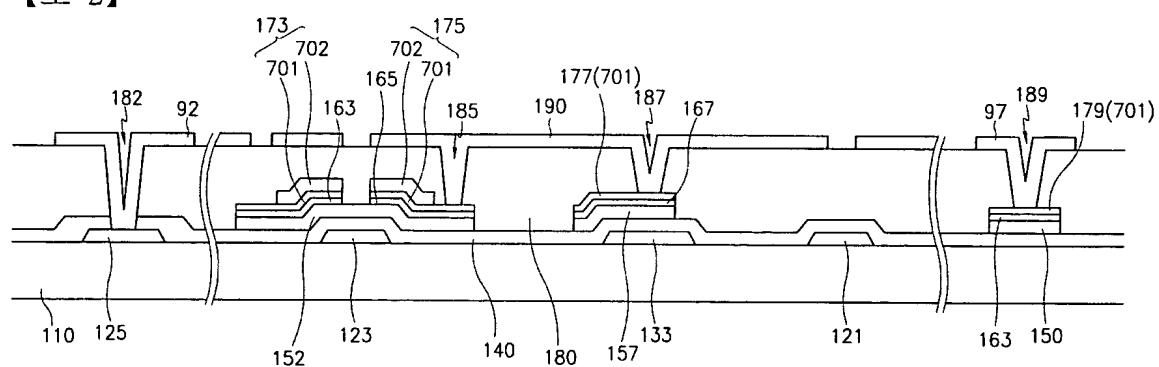
상기 감광막 패턴은 적어도 상기 드레인 전극 또는 상기 데이터 패드 일부를 드러내며 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 덮는 박막 트랜지스터 어레이 기판의 제조 방법.

## 【도면】

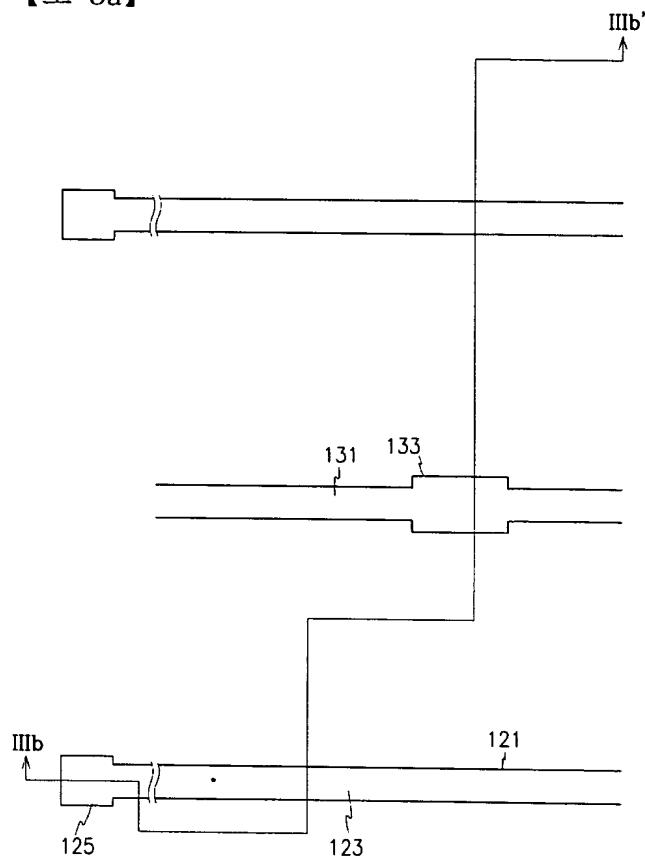
【도 1】



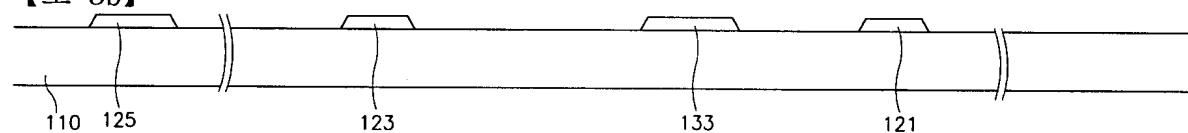
【도 2】



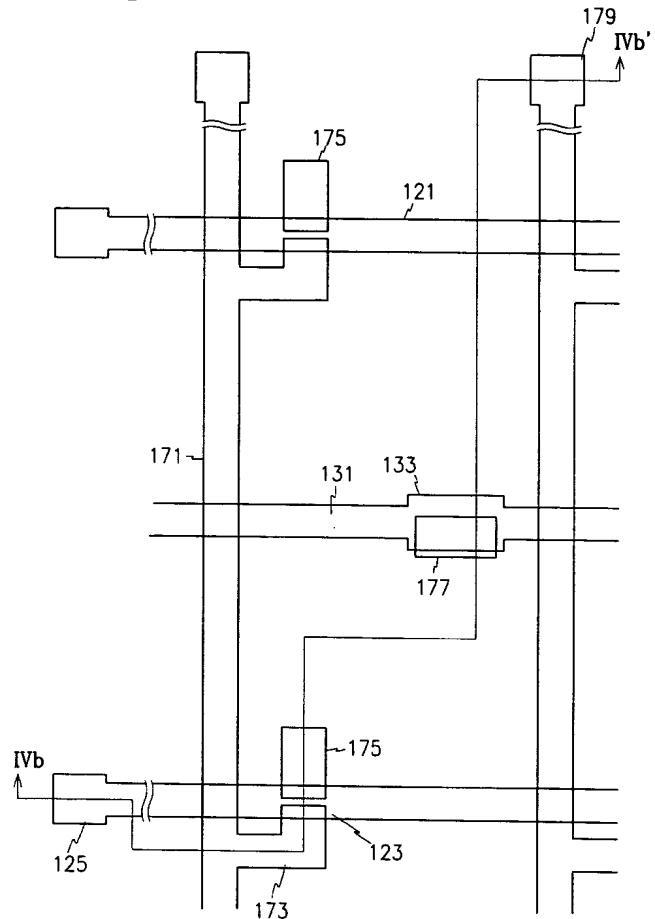
【도 3a】



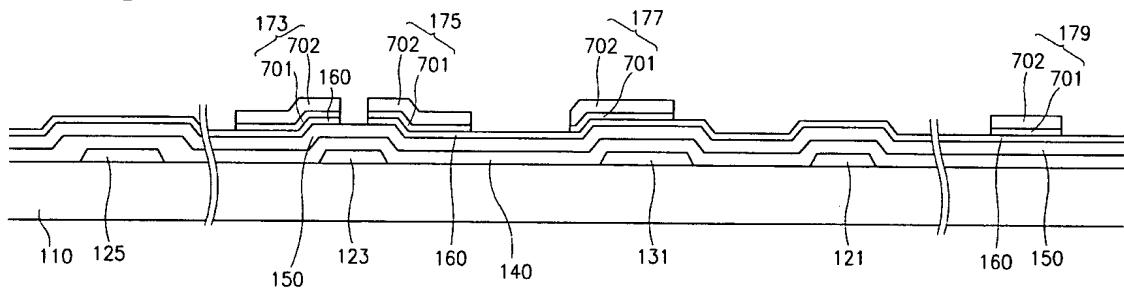
【도 3b】



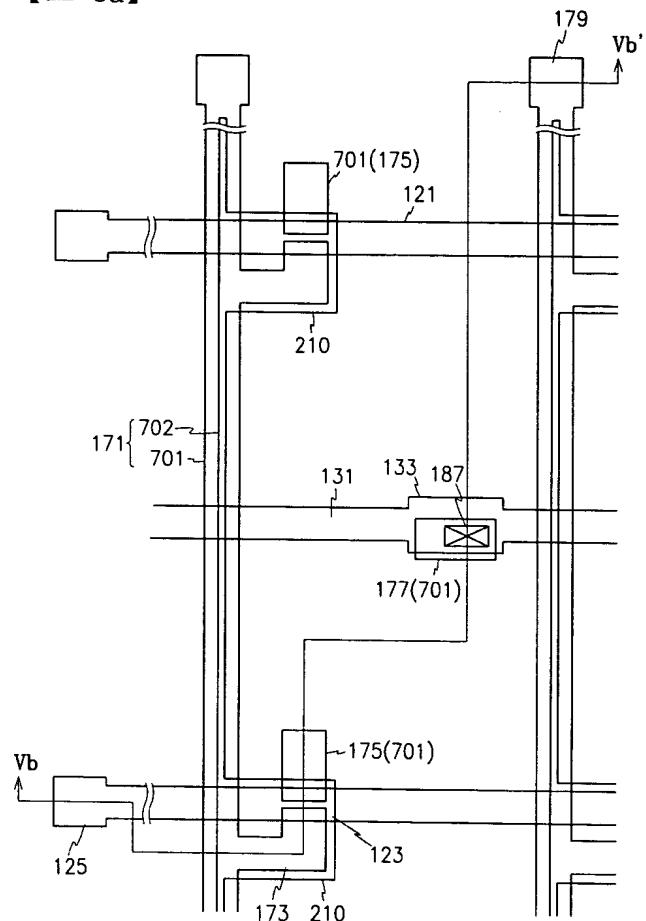
【도 4a】



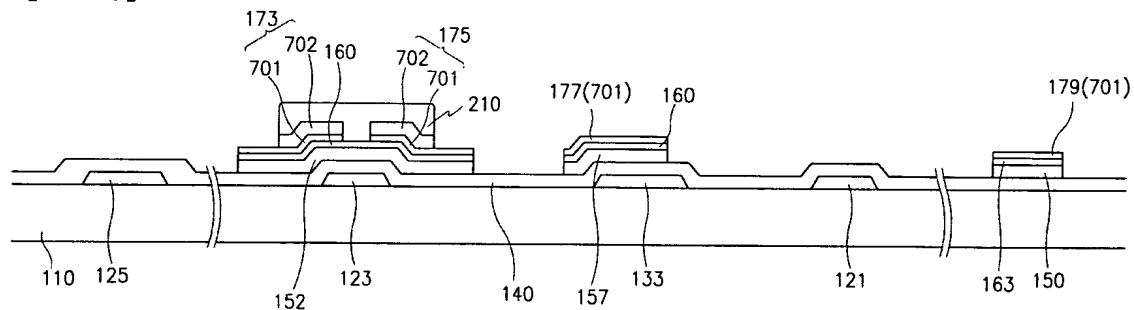
【도 4b】



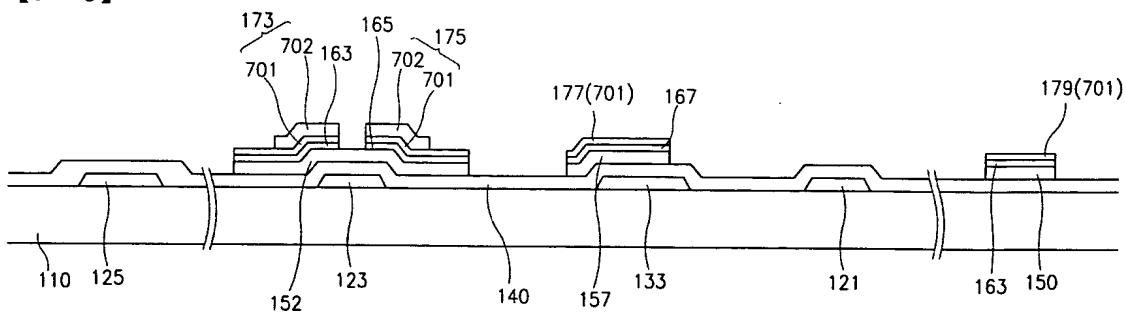
【도 5a】



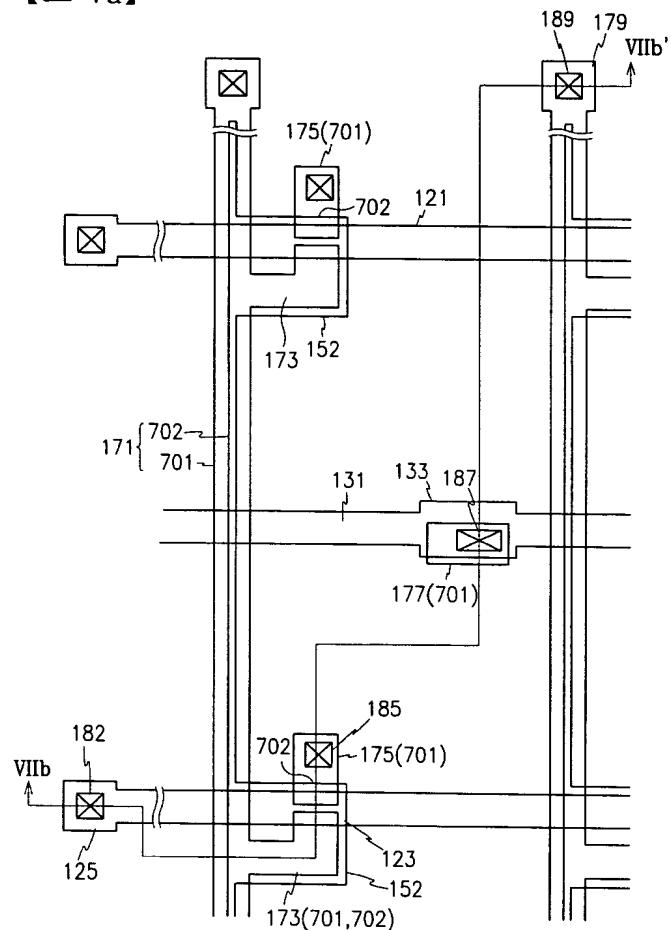
【도 5b】



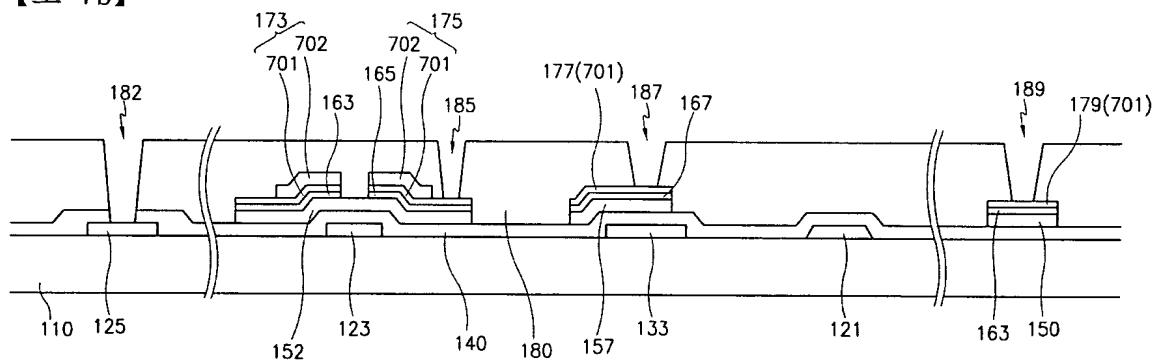
【도 6】



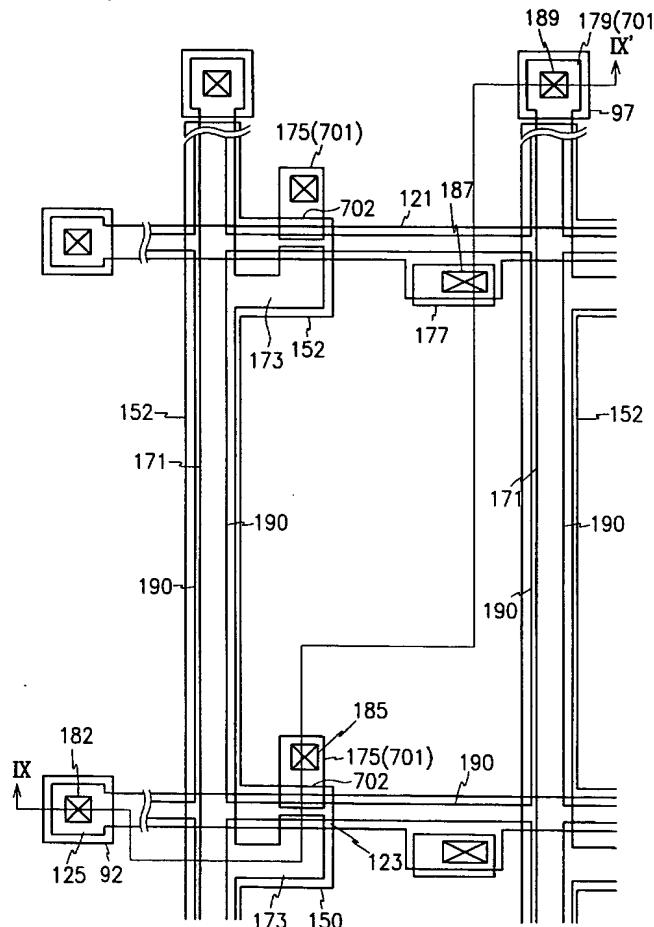
【도 7a】



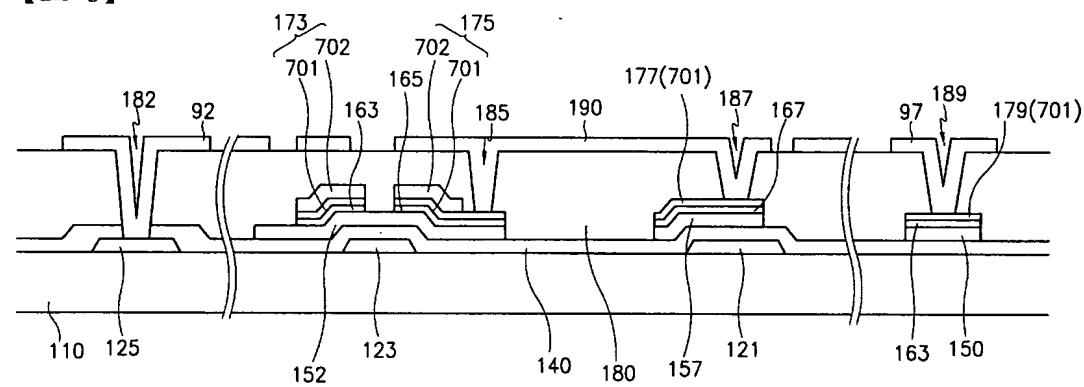
【도 7b】



【도 8】



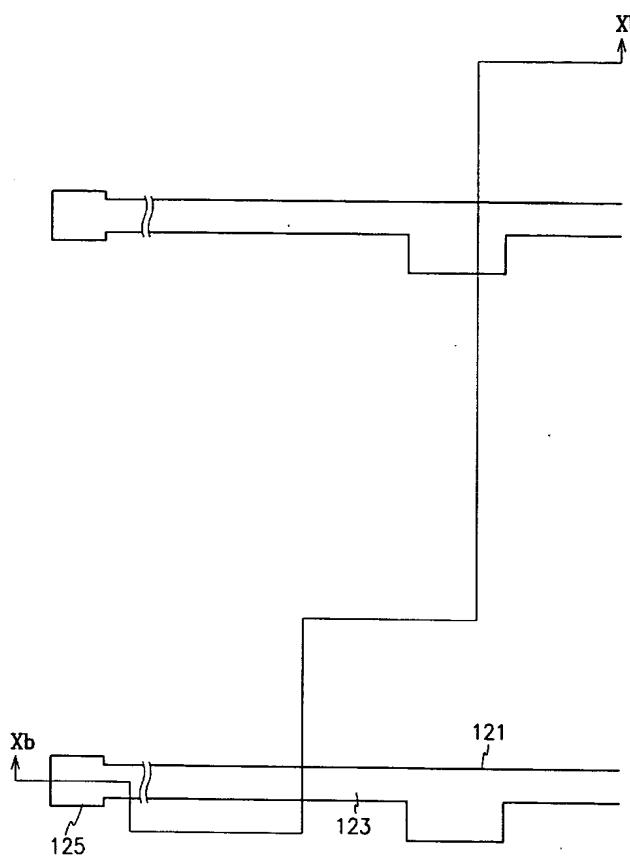
【도 9】



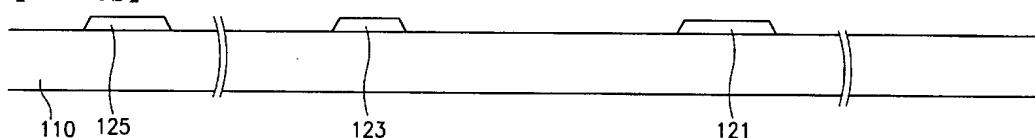
1020020042659

출력 일자: 2003/2/6

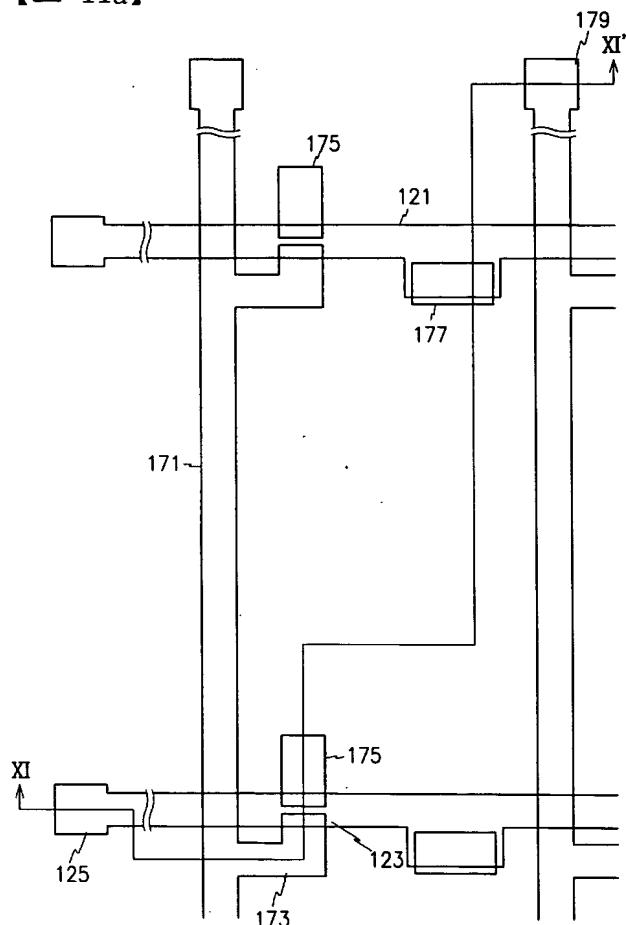
【도 10a】



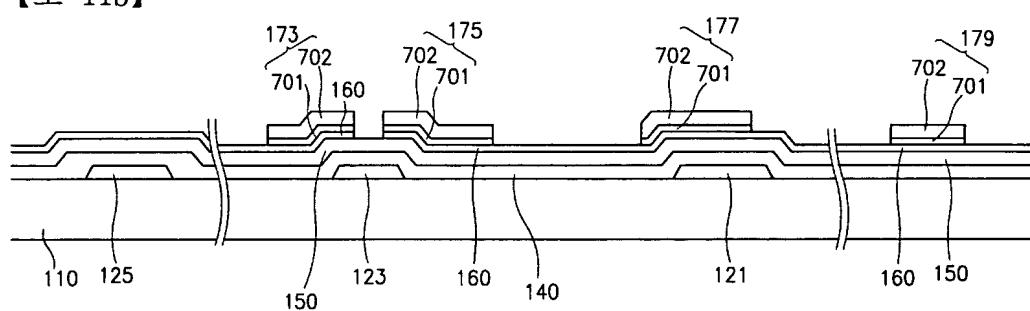
【도 10b】



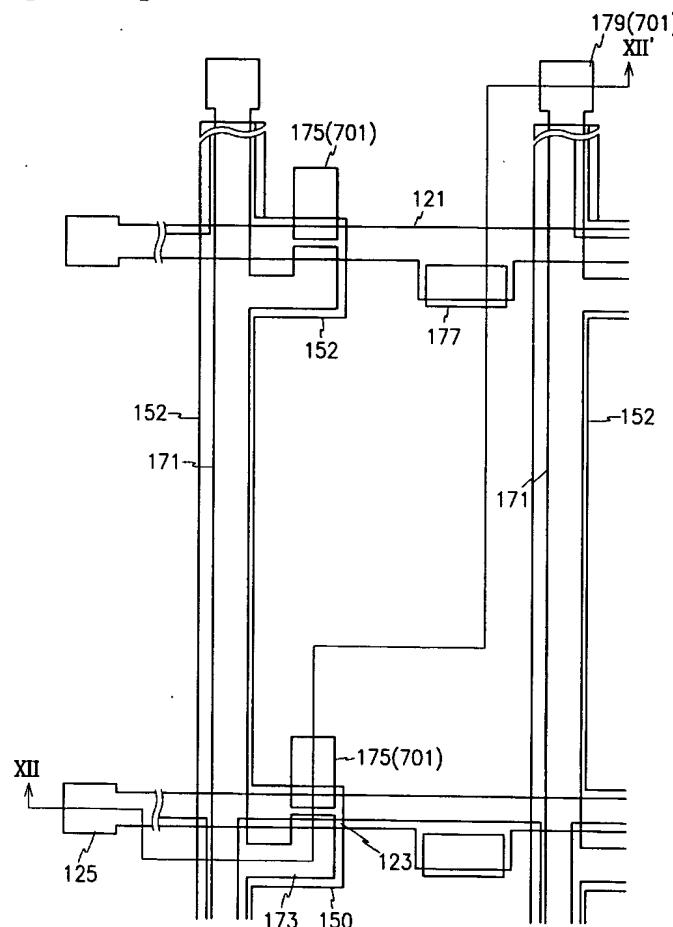
【도 11a】



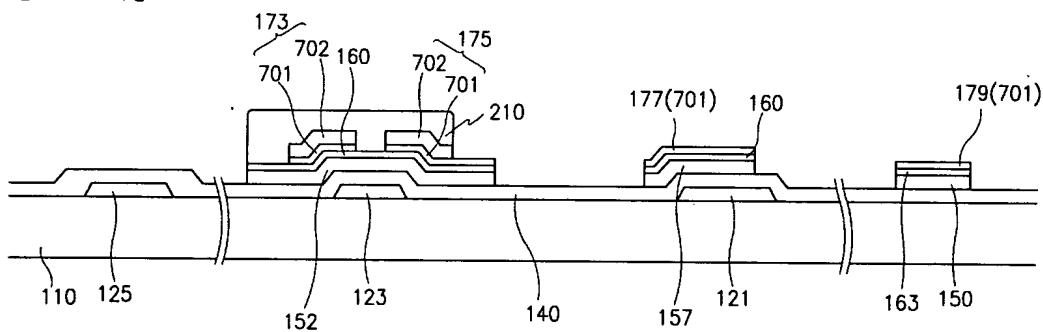
【도 11b】



【도 12a】



【도 12b】

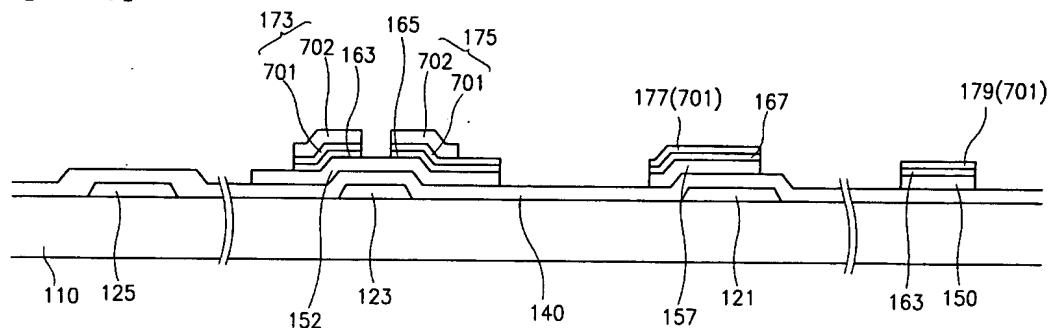




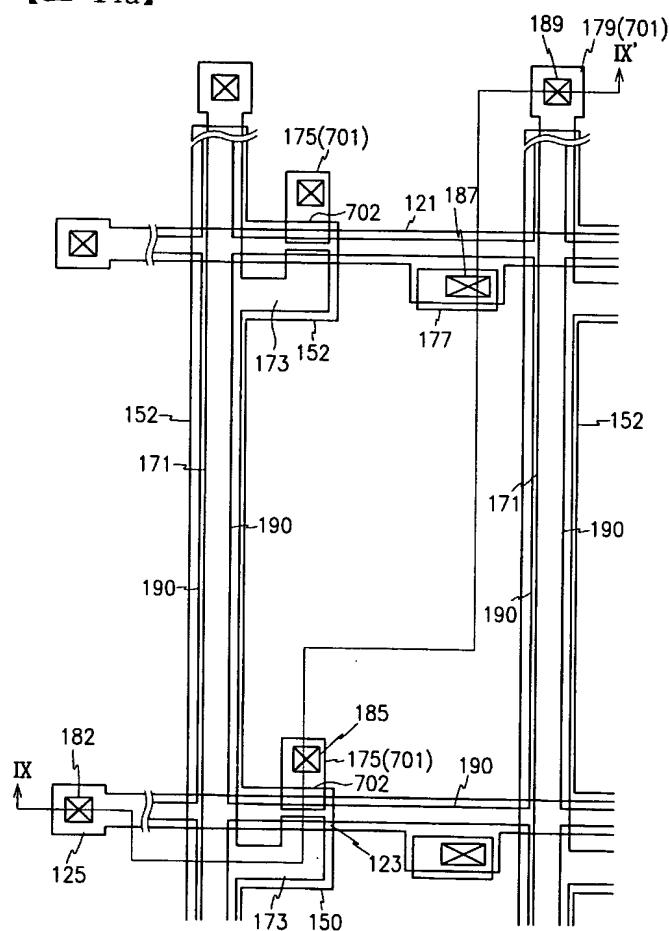
1020020042659

출력 일자: 2003/2/6

【도 13】



【도 14a】





1020020042659

출력 일자: 2003/2/6

【도 14b】

